

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

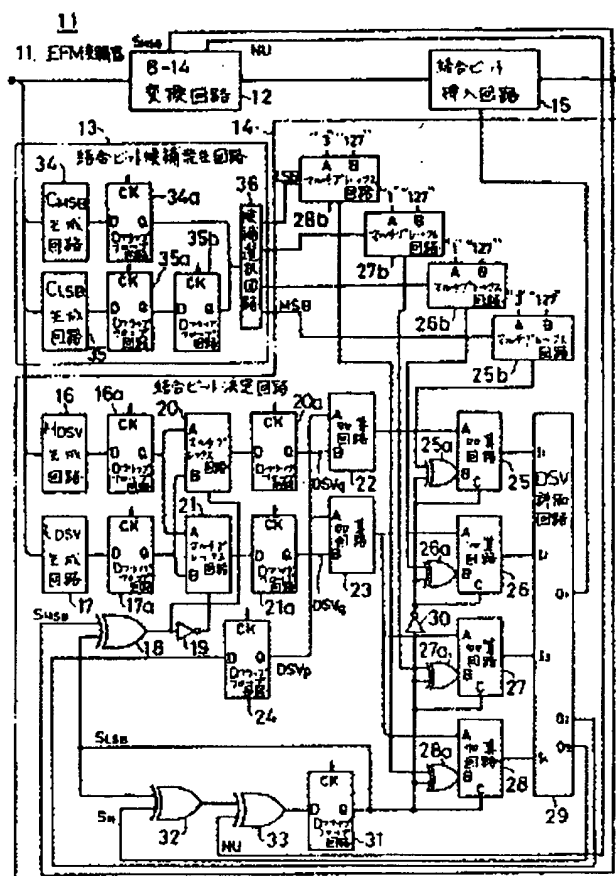
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PatentWeb
HomeEdit
SearchReturn to
Patent List

Help

☐ Include in patent order**MicroPatent® Worldwide PatSearch:** Record 1 of 1

Family Lookup

JP63018822

EFM MODULATOR

NEC HOME ELECTRONICS LTD

Inventor(s): ;SAMEJIMA TAKASHI

Application No. 61163257, Filed 19860711, Published 19880126

Abstract:

PURPOSE: To quickly and accurately extract a coupled circuit candidate by using a data representing the state of a coupled part of preceding and succeeding channel bits as address information and storing the coupled bit candidate in compliance with the bit conversion rule as a conversion table.

CONSTITUTION: A 8-14 conversion circuit 12 applies bit conversion from 8-bit into 14-bit according to a conversion table stored in a read only memory. A coupled bit candidate generation circuit 13 supplies a selection signal to select and

throw away multiplex circuits 25b ~ 28b in a coupled bit decision circuit 14. A candidate selection circuit 36 reads a selection signal in a row address 00 and a column address 05 fed from a CMSB generating circuit 34 and a CMSB generating circuit 35 having a read only memory storing number of '0' after a data bit is inputted till appearing till '1' is reached first from the count from the highest order bit. The readout of the selection signal from the conversion table is executed very accurately in a short time and the decision of the coupling bit by the coupling bit decision circuit 14 is executed very smoothly.

COPYRIGHT: (C)1988, JPO&Japio

Int'l Class: H03M00714 G11B02014

MicroPatent Reference Number: 000423285

COPYRIGHT: (C) JPO



PatentWeb
Home



Edit
Search



Return to
Patent List



Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

⑤Int.Cl.⁴
H 03 M 7/14
// G 11 B 20/14

識別記号

1 0 1

庁内整理番号

6832-5J
8322-5D

④公開 昭和63年(1988)1月26日

審査請求 未請求 発明の数 1 (全6頁)

⑥発明の名称 EFM変調器

⑦特 願 昭61-163257

⑧出 願 昭61(1986)7月11日

⑨発 明 者 鯨 島 隆 大阪府大阪市北区梅田1丁目8番17号 日本電気ホームエレクトロニクス株式会社内

⑩出 願 人 日本電気ホームエレクトロニクス株式会社 大阪府大阪市淀川区宮原3丁目5番24号

明 細 書

1. 発 明 の 名 称

E F M 変 調 器

2. 特 許 請 求 の 範 囲

8ビットのデータビットを一定のビット変換規則に従って14ビットのチャンネルビットに変換するとともに、相前後するチャンネルビット間に3ビットの結合ビットを挿入するさいに、前記ビット変換規則に従う結合ビットを結合ビット候補として抽出し、結合ビット候補により結合された一対のチャンネルビットの直流成分が最小評価される結合ビット候補を最適ビットとして選択するEFM変調器であって、前記相前後するチャンネルビットの結合部分の状況を示すデータを番地情報とし、前記ビット変換規則に従う結合ビット候補を変換テーブル化して記憶し、データビットの入力とともに該当する結合ビット候補を読み出す結合ビット候補発生回路を設けてなるEFM変調器。

3. 発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

この発明は、チャンネルビット間の最適結合ビットの挿入に変換テーブルを用いるようにしたEFM変調器に関する。

〔従来の技術〕

CD(コンパクトディスク)プレーヤにより再生されるコンパクトディスクには、信号再生時のトラッキングサーボに適したEFM変調(Eight to Fourteen Modulation)記録が採用されている。第2図に示す従来のEFM変調器1は、CIRC(Cross Interleave Reed-Solomon Code)エンコーダ(図示せず)による誤り訂正を受けた8ビットのデータビットを、変換テーブルに従って14ビットのチャンネルビットに変換する8-14変換回路2と、ビット変換規則に従う結合ビット候補を発生する結合ビット候補発生回路3及び結合ビット候補のなかから後述のDSV評価に従って最適結合ビットを決定する結合ビット決定回路4に供給し、結合ビット決定回路4にて決定された最適結合ビットを、結合ビット挿入回路5において8-14変換回路2の出力であるチャンネルビット

のC_{msb}は「05」であり、後続のチャンネルビットのC_{msb}は「00」である。このため、候補選択回路36は、データビットが入力された後C_{msb}生成回路34とC_{msb}生成回路35から供給される行番地00と列番地05に在る選択信号「09」を読み出す。選択信号「09」は、2進数表示では、「1001」であり、従ってマルチプレックス回路25bと28b、すなわち対応する結合ビット「000」と「100」が、このケースにおけるビット変換規則に従った結合ビット候補であること判る。この変換テーブルからの選択信号の読み出しは、きわめて短時間で正確に実行され、読み出された選択信号が候補選択回路36からマルチプレックス回路25b～28bに供給されると、結合ビット候補はただちにDSV絶対値に変換されてしまうので、結合ビット決定回路14による結合ビットの決定もきわめて円滑に実行される。

このように、上記EFM変調器11は、チャンネルビット間に3ビットの結合ビットを挿入する

ト候補を読み出す構成としたから、従来のように順序回路や組み合わせ回路を複合した大規模な論理回路による結合ビット候補選出のための演算が不要であり、回路構成の簡単化に併せ論理演算の処理速度と精度を飛躍的に高めることができる等の優れた効果を奏する。

4. 図面の簡単な説明

第1図は、この発明のEFM変調器の一実施例を示す回路構成図、第2図は、第1図に示した候補選択回路の読み出し専用メモリが記憶する変換テーブルを示す図、第3図は、従来のEFM変調器の一例を示す回路構成図である。

11... EFM変調器、12... 8-14変換器、13... 結合ビット候補発生回路、14... 結合ビット決定回路、15... 結合ビット挿入回路。

特許出願人

日本電気ホームエレクトロニクス株式会社

代表取締役

村上 隆

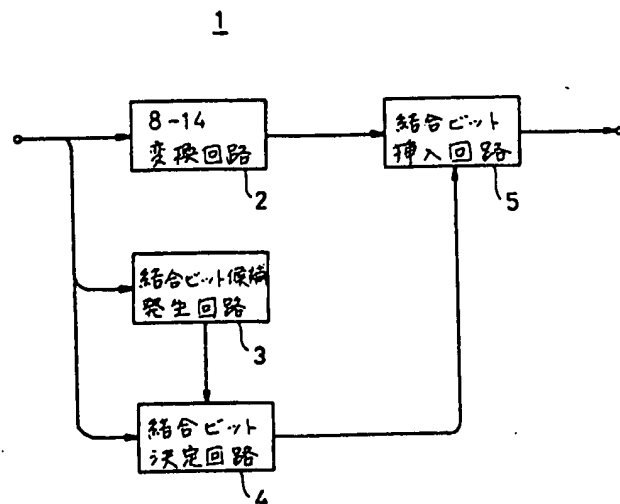


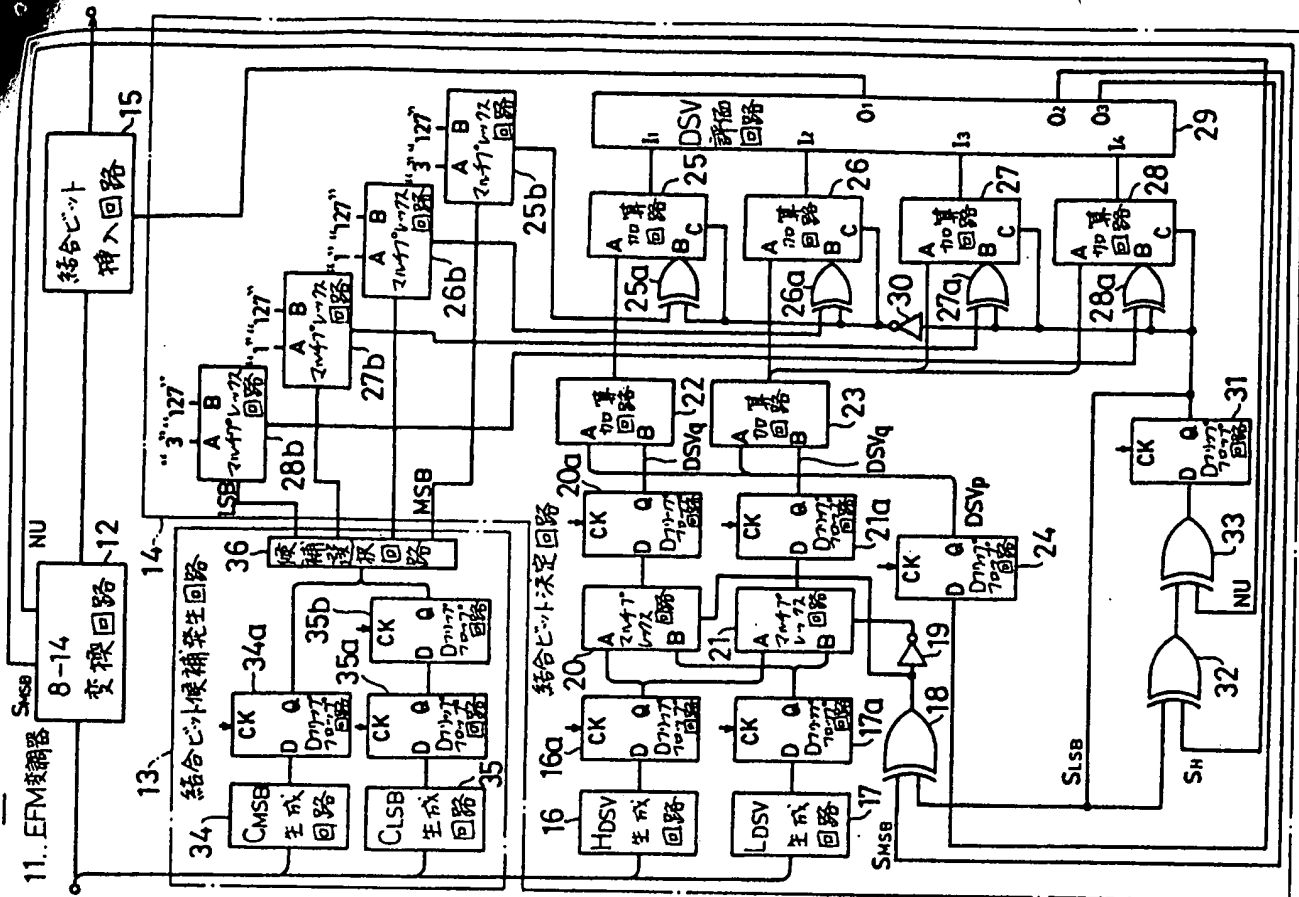
さいに、相前後するチャンネルビットの結合部分の状況を示すデータを番地情報とし、前記ビット変換規則に従う結合ビット候補を変換テーブル化して記憶する結合ビット候補発生回路13が、データビットの入力とともに該当する結合ビット候補を読み出す構成としたから、従来のように順序回路や組み合わせ回路を複合した大規模な論理回路による結合ビット候補選出のための演算が不要であり、回路構成の簡単化に併せ論理演算の処理速度と精度を飛躍的に高めることができる。

[発明の効果]

以上説明したように、この発明は、8ビットのデータビットを、一定のビット変換規則に従って14ビットのチャンネルビットに変換し、相前後するチャンネルビット間に3ビットの結合ビットを挿入するさいに、相前後するチャンネルビットの結合部分の状況を示すデータを番地情報とし、前記ビット変換規則に従う結合ビット候補を変換テーブル化して記憶する結合ビット候補発生回路が、データビットの入力とともに該当する結合ビッ

第3図





第 2 図

16進数	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
00	01	01	09	09	09	09	09	08	08	08	00	00	00	00	00	00
01	01	05	0D	0D	0D	0D	0C	0C	0C	08	00	00	00	00	00	00
02	03	07	0F	0F	0F	0E	0E	0E	0C	08	00	00	00	00	00	00
03	03	07	0F	0F	0F	0E	0E	0E	0C	08	00	00	00	00	00	00
04	03	07	0F	0F	0E	0E	0E	0E	0C	08	00	00	00	00	00	00
05	03	07	0F	0E	0E	0E	0E	0E	0C	08	00	00	00	00	00	00
06	03	07	0E	0E	0E	0E	0E	0E	0C	08	00	00	00	00	00	00
07	03	06	0E	0E	0E	0E	0E	0E	0C	08	00	00	00	00	00	00
08	02	06	0E	0E	0E	0E	0E	0E	0C	08	00	00	00	00	00	00
09	02	06	06	06	06	06	06	06	04	00	00	00	00	00	00	00
0A	02	02	02	02	02	02	02	02	00	00	00	00	00	00	00	00
0B	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
0C	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
0D	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
0E	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
0F	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00